

(5) Japanese Patent Application Laid-Open No. 2000-058795 (2000)

This application is corresponding to United States Patent No. 6,165,864.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-58795
(P2000-58795A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 C
21/8242		H 0 1 G 4/12	3 5 2
// H 0 1 G 4/12	3 5 2	H 0 1 L 27/10	6 5 1

審査請求 未請求 請求項の数23 OL (全 8 頁)

(21) 出願番号 特願平11-212484
(22) 出願日 平成11年7月27日 (1999.7.27)
(31) 優先権主張番号 09/123298
(32) 優先日 平成10年7月28日 (1998.7.28)
(33) 優先権主張国 米国 (US)

(71) 出願人 390039413
シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESEL
LSCHAFT
ドイツ連邦共和国 D-80333 ミュンヘン
ヴィッテルスバッハープラッツ 2
(74) 代理人 100061815
弁理士 矢野 敏雄 (外2名)

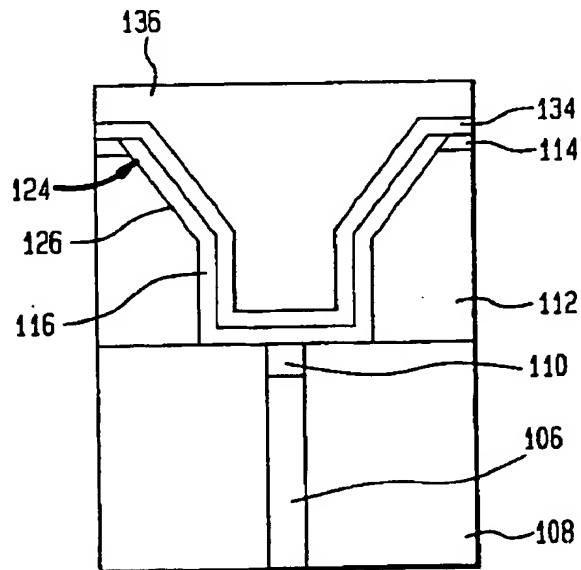
最終頁に続く

(54) 【発明の名称】 スタックトキャパシタのためのテーバー状電極

(57) 【要約】

【課題】 下部電極の適切な高さを維持する一方でスタックトキャパシタのための下部電極の表面領域を向上させるための方法および装置を提供することである。さらに本発明の課題は、15ミクロン以下の特徴サイズでの使用の場合に適した下部電極を提供すること。

【解決手段】 導電性アクセスバスを有する第1の絶縁層を設け、前記第1の絶縁層の上に第2の絶縁層を形成し、前記第2の絶縁層内に、テーバー状側壁を有するトレンチを形成し、前記トレンチ内とテーバー状側壁上に、前記導電性アクセスバスに電気的に結合される第1の電極を形成し、前記第1の電極上に誘電層を形成し、該誘電層の上に第2の電極を形成する。



【特許請求の範囲】

【請求項1】 スタックトキャパシタを形成するための方法において、

導電性アクセスバスを有する第1の絶縁層を設け、
前記第1の絶縁層の上に第2の絶縁層を形成し、
前記第2の絶縁層内に、テーパー状側壁を有するトレンチを形成し、

前記トレンチ内とテーパー状側壁上に、前記導電性アクセスバスに電氣的に結合される第1の電極を形成し、
前記第1の電極上に誘電層を形成し、
該誘電層の上に第2の電極を形成するステップを有していることを特徴とする方法。

【請求項2】 前記第2の絶縁層内に、テーパー状側壁を有するトレンチを形成するステップが反応性イオンエッチングによるトレンチ形成ステップを含んでいる、請求項1記載の方法。

【請求項3】 前記テーパー状側壁は、トレンチ内の円錐形状部分を形成する、請求項1記載の方法。

【請求項4】 トレンチ内およびトレンチ側壁上に第1の電極を形成するステップに、トレンチ内で側壁を覆う金属層を堆積させるステップが含まれている、請求項1記載の方法。

【請求項5】 さらに前記テーパー状側壁の勾配角度を調整するステップが含まれている、請求項1記載の方法。

【請求項6】 第1の電極上に誘電層を形成するステップがバリウムストロンチウムチタン酸化物からなる層を形成するステップを含んでいる、請求項1記載の方法。

【請求項7】 前記第1の電極はプラチナを含んでいる、請求項1記載の方法。

【請求項8】 第2の絶縁層内に、テーパー状側壁を有するトレンチを形成するステップに、以下のステップ、
レジスト材料をトレンチ内に堆積するステップと、
レジスト材料を所定の深さでトレンチ内に埋込むステップと、
トレンチ側壁をテーパー状の表面形状に形成するための異方性エッチングステップとが含まれている、請求項1記載の方法。

【請求項9】 半導体デバイス用のスタックトキャパシタを製造するための方法において、
半導体デバイスのアクセストランジスタに接続可能に形成された導電性プラグを備えた第1の絶縁層を設け、
前記第1の絶縁層の上に第2の絶縁層を形成し、
前記導電性プラグに対するアクセスを可能にするために前記第2の絶縁層内にトレンチをエッチングによって形成し、
前記トレンチ内でテーパー状の表面を形成するためにトレンチの側壁をテーパー状に形成し、
前記トレンチ内およびテーパー状の表面上に、前記導電性プラグに電氣的に結合される第1の電極を形成し、

前記第1の電極上に誘電層を形成し、
前記誘電層上に第2の電極を形成することを特徴とする方法。

【請求項10】 前記半導体デバイスは、メモリチップである、請求項9記載の方法。

【請求項11】 前記導電性プラグに対するアクセスを可能にするために、前記第2の絶縁層内にトレンチをエッチングによって形成するステップに、反応性イオンエッチングによるトレンチ形成ステップが含まれている、請求項9記載の方法。

【請求項12】 前記テーパー状表面は、トレンチ内の円錐形状部分を形成する、請求項9記載の方法。

【請求項13】 前記トレンチ内にテーパー状の表面を形成するためのテーパー状トレンチ側壁形成ステップに、異方性エッチングプロセスが含まれている、請求項9記載の方法。

【請求項14】 さらに前記テーパー状表面の勾配角度を調整するステップが含まれている、請求項9記載の方法。

【請求項15】 前記第1の電極上に誘電層を形成するステップに、バリウムストロンチウムチタン酸化物からなる層を形成するステップが含まれている、請求項9記載の方法。

【請求項16】 前記第1の電極は、プラチナを含んでいる、請求項9記載の方法。

【請求項17】 前記トレンチ内にテーパー状の表面を形成するためのテーパー状トレンチ側壁形成ステップに、

前記トレンチ内にレジスト材料を堆積させるステップと、
前記レジスト材料をトレンチ内で所定の深さに埋込むステップと、
テーパー状表面の形成のためにトレンチ側壁を異方性エッチングによって形成するステップとが含まれている、請求項9記載の方法。

【請求項18】 増加表面領域を有するスタックトキャパシタにおいて、
誘電材料内に設けられたトレンチ内に形成される第1の電極が含まれており、

前記第1の電極は、この電極の円錐形状部分を形成するテーパー状の表面を有し、容量結合された記憶節点のアクセスのために用いられることを特徴とする、スタックトキャパシタ。

【請求項19】 前記第1の電極は、貴金属を含んでいる、請求項18記載のスタックトキャパシタ。

【請求項20】 前記第1の電極は、プラチナを含んでいる、請求項18記載のスタックトキャパシタ。

【請求項21】 前記第1の電極および記憶節点は、誘電層を有しており、該誘電層は前記第1の電極と記憶節点の間に堆積されている、請求項18記載のスタックト

キャパシタ。

【請求項22】 前記誘電層は、バリウムストロンチウムチタン酸化物を含んでいる、請求項21記載のスタックドキャパシタ。

【請求項23】 請求項18によるスタックドキャパシタを含んでいる半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スタックドキャパシタを形成するための方法並びにスタックドキャパシタに関するものであり、詳細には15ミクロン以上の特徴的サイズでの仕様に適したコンデンサ電極に対するものである。

【0002】

【従来の技術】半導体メモリセルにはデータの記憶のためにトランジスタによってアクセスされるコンデンサが含まれている。このデータは、コンデンサの状態に依存してハイビットまたはロービットによって記憶されている。コンデンサのチャージまたは電荷の欠落は、データ読出しのアクセスの際のハイまたはローを表しており、またそれに対してデータ書込みに対しては充電されたり放電されたりする。

【0003】スタックドキャパシタは、半導体メモリ内に使用されているコンデンサのタイプの中にある。このスタックドキャパシタは、典型的にはデバイスの基板内に埋込まれているトレンチキャパシタとは対照的にコンデンサの記憶節点のアクセスに用いられるトランジスタの上方に配置されている。多くの電気的デバイスのように、このスタックドキャパシタ特有の能力に対しては高い導電性が有意である。

【0004】ダイナミックランダムアクセスメモリ(DRAM)のような半導体メモリにおいては、高誘電率キャパシタ形成プロセスに、高誘電率材料の堆積が含まれている。高誘電率キャパシタの1つのタイプでは、バリウムストロンチウムチタン酸化物(BSTO)のような高誘電率の材料の層が、酸化性雰囲気内で堆積される。

【0005】図1にはスタックドキャパシタ3と共に構造部2が示されている。このスタックドキャパシタ3は、2つの電極、すなわち誘電層18によって分離されている上部電極(記憶節点、通常はプラチナ)4と下部電極12を含んでいる。アクセストランジスタ5は、ゲート6を含んでおり、これはアクティブの時にビット線コンタクト8を介してビット線7をプラグ14に電気的に接続させる。プラグ14は拡散バリア16を介して電極12に接続され、電荷が電極12に蓄積される。

【0006】従来型のスタックドキャパシタ10の製造中は、図2に示されているように、下部電極12が堆積され、誘電層20上でパターン化される。下部電極12の形成の前に、プラグ14、拡散バリア16が誘電層20内に形成される。プラグ14は有利には多結晶質のシ

リコン(ポリシリコンまたはポリイ)である。電極12は、有利にはプラチナ(Pt)から形成され比較的厚い。個々の下部電極の形成に対しては、反応性イオンエッチング(RIE)プロセスが有利には用いられる。このプロセスは、既に周知のように厚膜上での実効は非常に困難である。さらに下部電極12のエッチング表面がテーパー状に形成される場合にはさらに困難となることが経験的にわかっている。

【0007】図3には、エッチング表面の約65°もしくはそれ以下の角度での典型的なテーパー形状が示されている。この図では、最良の勾配角度(65°)条件に基づいた達成可能な最大高さが示されている。この下部電極12の最大高さはテーパー形状によって制限されることは明らかである。この制限は、電極12の表面領域も制限する。このことは約15ミクロン特徴サイズのような微細な特徴サイズでの実装を困難にする。

【0008】図4には貴金属側壁コンパウンド積層構造が示されている。誘電層22は、その中に形成されているプラグ24を有しており、さらにその上に形成されたバリア層26を有している。側壁28はPtやPt/Ir(イリジウム)などから形成される。側壁28はスタックドキャパシタの下部電極となる。酸化物などのような誘電層30は、図示のように構成される。この構造は前述のようなテーパー状のものではないが、しかしながら金属側壁の形成では良好な順応性が要求され、これは垂直な表面上での金属スパッタリングの場合の実現を困難にする。さらに電極の高さは、金属性側壁膜と高誘電率材料(例えばBSTO、これは後続のステップで堆積される)の両方の順応性の問題のために制限される。

【0009】

【発明が解決しようとする課題】本発明の課題は、下部電極の適切な高さを維持する一方でスタックドキャパシタのための下部電極の表面領域を向上させるための方法および装置を提供することである。さらに本発明の課題は、15ミクロン以下の特徴サイズでの仕様の場合に適した下部電極を提供することである。

【0010】

【課題を解決するための手段】上記課題は本発明により、導電性アクセスバスを有する第1の絶縁層を設け、前記第1の絶縁層の上に第2の絶縁層を形成し、前記第2の絶縁層内に、テーパー状側壁を有するトレンチを形成し、前記トレンチ内とテーパー状側壁上に、前記導電性アクセスバスに電気的に結合される第1の電極を形成し、前記第1の電極上に誘電層を形成し、該誘電層の上に第2の電極を形成するようにして解決される。

【0011】

【発明の実施の形態】本発明の別の有利な実施例によれば、前記第2の絶縁層内に、テーパー状側壁を有するトレンチを形成するステップが反応性イオンエッチングによるトレンチ形成ステップを含んでいる。

【0012】前記テーパー状側壁は有利には、トレンチ内の円錐形状部分を形成する。

【0013】トレンチ内およびトレンチ側壁上に第1の電極を形成するステップには、トレンチ内で側壁を覆う金属層を堆積させるステップが含まれていてもよい。

【0014】さらに前記テーパー状側壁の勾配角度を調整するステップが含まれていてもよい。

【0015】また有利には、前記第1の電極上に誘電層を形成するステップがバリウムストロンチウムチタン酸化物からなる層を形成するステップを含んでいてもよい。

【0016】前記第1の電極は有利にはプラチナを含んでいる。

【0017】また有利には前記第2の絶縁層内に、テーパー状側壁を有するトレンチを形成するステップには、以下のステップ、レジスト材料をトレンチ内に堆積するステップと、レジスト材料を所定の深さでトレンチ内に埋込むステップと、トレンチ側壁をテーパー状の表面形状に形成するための異方性エッチングステップとが含まれていてもよい。

【0018】本発明によれば、半導体デバイス用のスタックトキャパシタを製造するための方法において、半導体デバイスのアクセストランジスタに接続可能に形成された導電性プラグを備えた第1の絶縁層を設け、前記第1の絶縁層の上に第2の絶縁層を形成し、前記導電性プラグに対するアクセスを可能にするために前記第2の絶縁層内にトレンチをエッチングによって形成し、前記トレンチ内でテーパー状の表面を形成するためにトレンチの側壁をテーパー状に形成し、前記トレンチ内およびテーパー状の表面上に、前記導電性プラグに電気的に結合される第1の電極を形成し、前記第1の電極上に誘電層を形成し、前記誘電層上に第2の電極が形成される。

【0019】別の有利な方法によれば、前記半導体デバイスは、メモリチップである。

【0020】有利には、前記導電性プラグに対するアクセスを可能にするために、前記第2の絶縁層内にトレンチをエッチングによって形成するステップに、反応性イオンエッチングによるトレンチ形成ステップが含まれていてもよい。

【0021】また有利には、前記テーパー状表面は、トレンチ内の円錐形状部分を形成する。

【0022】有利には前記トレンチ内にテーパー状の表面を形成するためのテーパー状トレンチ側壁形成ステップに、異方性エッチングプロセスが含まれていてもよい。

【0023】さらに前記テーパー状表面の勾配角度を調整するステップが含まれていてもよい。

【0024】有利には、前記第1の電極上に誘電層を形成するステップに、バリウムストロンチウムチタン酸化物からなる層を形成するステップが含まれている。

【0025】また有利には、前記第1の電極は、プラチナを含んでいてもよい。

【0026】さらに前記トレンチ内にテーパー状の表面を形成するためのテーパー状トレンチ側壁形成ステップに、前記トレンチ内にレジスト材料を堆積させるステップと、前記レジスト材料をトレンチ内で所定の深さに埋込むステップと、テーパー状表面の形成のためにトレンチ側壁を異方性エッチングによって形成するステップとが含まれていてもよい。

【0027】本発明によれば、増加表面領域を有するスタックトキャパシタにおいて、誘電材料内に設けられたトレンチ内に形成される第1の電極が含まれており、前記第1の電極は、この電極の円錐形状部分を形成するテーパー状の表面を有し、容量結合された記憶節点のアクセスのために用いられる。

【0028】有利には、前記第1の電極は、貴金属を含んでいる。

【0029】また有利には、前記第1の電極は、プラチナを含んでいる。

【0030】さらに有利には、前記第1の電極および記憶節点は、誘電層を有しており、該誘電層は前記第1の電極と記憶節点の間に堆積されていてもよい。

【0031】さらに前記誘電層は、バリウムストロンチウムチタン酸化物を含んでいてもよい。

【0032】有利には前記半導体デバイスが本発明によるスタックトキャパシタを含んでいてもよい。

【0033】

【実施例】次に本発明を図面に基づき以下の明細書で詳細に説明する。

【0034】本発明は半導体デバイスのためのスタックトキャパシタに関するものであり、詳細には、下部電極の向上とそのための形成方法に係わるものである。本発明によるスタックトキャパシタは、テーパー状に開口した開口部を有する誘電材料の形成部を含んでいる。この開口部のテーパー状表面は、本発明によれば、下部電極の堆積のための表面を提供している。このテーパー状表面はキャパシタに対する拡大された表面領域を提供する一方で後続ステップでテーパー状表面に堆積される高誘電層および金属の順応性を向上させる。

【0035】以下では図面に示されているそれぞれの各特徴部分の詳細を説明する。この場合各図面において同じかもしくは類似の構成要素には同じ参照符号が付されるものとする。図5には本発明によって部分的に製造されたスタックトキャパシタ100が示されている。プラグ106は、誘電層108側で形成されている。誘電層108は、二酸化珪素材料を含んでいてもよい。拡散バリア110は、プラグ106の上部に形成されている。この拡散バリア110は、有利には、Ta₂N₅、CoSi₂、TiN、WSi₂、TaSiNなどの材料を含んでいる。他の誘電層112は、誘電層108の上に堆積され

る。この誘電層112は有利には、二酸化珪素などのような酸化物であってもよいし、化学蒸着法(CVD)またはプラズマ増速CVD(PECVD)などのプロセス手法によって堆積されてもよい。

【0036】マスク層114は、誘電層112の上に堆積されている。このマスク層は有利には、シリコン窒化物等の窒化物を含んでいる。マスク層はレジストによってコーティングされている。これにより周知のフォトリソグラフィ技法によって所定のパターンが出現される。それによりマスク層114は誘電層112部分の露出のためにエッチングされ、それがスタックトキャパシタ電極の位置となる。反応性イオンエッチング(RIE)などの異方性ドライエッチングプロセスは、誘電層108までの誘電層112の除去を実行する。その結果トレンチまたはバリア110およびプラグ106との通信のための開口部116がキャパシタ電極の位置付けされるべき位置に生じる。側壁118は異方性RIEにも基づきほぼ垂直である。レジスタは、さらなるプロセスの実効の際に除去される。

【0037】図6、図7、図8によれば、充填材料120が例えばスパッタリングプロセスによってトレンチ116内に堆積されている。この充填材料120は周知技法のようにレジスト材料であってもよい(図6)。この充填材料120は、所定の深さだけトレンチ116内で例えばレジストエロージョンRIEプロセス(107)によって分離される。テーパー状表面122は、エッチングプロセス、例えば等方性および/または異方性RIEプロセス(図8)の実行によって側壁118に形成される。前記実施例においてはトレンチ116内のテーパー状の表面122がトレンチ116内の円錐形状部として形成されている。プロセスパラメータは有利には、テーパー状表面122の勾配角度 α を変化させるために調整されてもよい。また残っているレジストをトレンチ116内から除去するためにさらなるプロセスが実行されてもよい。

【0038】図9によれば、下部電極124が、側壁118(およびテーパー状表面122)を含んだ上部表面の上で、金属層126の堆積、例えばプラチナ(Pt)、イリジウム(Ir)、ルテニウム(Ru)、ルテニウムオキシド(RuO_2)などの貴金属の堆積によって形成されている。下部電極124の金属層126は、CVD、PECVD等の周知の手法によって堆積されてもよい。テーパー状表面122および側壁118上の金属層126の堆積により、後続ステップにおいて堆積されるべき高誘電率材料および金属層126に対し、従来方式の垂直面よりもさらに大きな順応性が得られる。さらに金属層126が、テーパー状表面122の上に堆積されるので、従来方式のように低減する表面領域(図2参照)に比べて、スタックトキャパシタ100に対し増加する表面領域が実現される。本発明の有利な実施例に

よれば、下部電極124が外方に向けて円錐状に勾配しそれによって従来方式の垂直壁部よりも多くの金属材料が提供される。表面領域では例えば従来方式に比べて約16%の増加が見られる。この領域は、テーパー形状部の角度 α に従って変化させてもよい。本発明は、有利には15ミクロンもしくはそれ以下の特徴的サイズでの使用にも十分満足のいく表面を有するスタックトキャパシタを提供する。もちろん本発明は上記の15ミクロンの特徴的サイズよりも大きな場合でも利点を提供する。

【0039】金属層126の堆積の後では、この金属層126が保護誘電材料128によってコーティングされる。トレンチ116の残っている空洞部分は、この保護誘電材料128によって充填される。この保護誘電材料128は、酸化物を含んでいてもよい。

【0040】図10によれば、保護誘電材料128の上部表面130が金属層126のところまで平坦化される。この平坦化は、化学機械研磨(CMP)手法またはエッチングバックプロセス手法によって行われてもよい。マスク層114上方の金属層126の部位132がこの平坦化のためのストップとして用いられている。

【0041】図11によれば、前記部位132がマスク層114まで除去されている。この保護誘電層128は、金属層126をダメージまたは部位132の除去中の誤った除去から保護している。前記部位132は、金属RIEプロセスかまたは金属CMPプロセスによって除去されてもよい。マスク層114は有利には、ストップとして用いられている。

【0042】図12によれば、ウエットエッチングプロセスが有利には保護誘電層128の除去と金属層126の露出に用いられる。高誘電率層134は、金属層126の上に形成される。金属層126は、スタックトキャパシタの下部電極を形成する。上部電極136はトレンチ116内で高誘電率層134上方での導電性材料の堆積によって形成される。この上部電極136は、有利にはプラチナから形成され、その他にも例えばイリジウム(Ir)、ルテニウム(Ru)、ルテニウムオキシド(RuO_2)等の導電性材料が用いられていてもよい。高誘電率層134は、有利にはBSTOから形成されている。

【0043】上部電極136と下部電極124は、高誘電率層134によって分離され、これによって本発明によるキャパシタが形成されるものとなる。スタックトキャパシタ100の上部電極136と下部電極124の表面領域は、有利にはそれらのトレンチ側壁上に設けられるテーパー状の表面に基づいて増加される。金属および高誘電層の堆積を垂直な表面上で行うことは困難であるが、テーパー状の表面ではスタックトキャパシタ内のそれらの層の使用効率がより一層高められる。

【0044】前述してきた斬新で有利な実施例は例証としてのものであって、これらは限定を意図するものでは

なく、当業者にとっては種々の変更がまた可能であることは前述の実施例における示唆からも明らかである。それ故に本発明の個々の実施例の中で行われ得る変更が、本発明の領域と真意に基づいて従属請求項による輪郭として表されることも理解されたい。本発明は特許法に基づき前述したように詳細に説明され、法の保護のもとに独立請求項および従属請求項にて主張されている。

【図面の簡単な説明】

【図1】従来技法による半導体デバイス上のスタックトキャパシタの断面図である。

【図2】従来技法による厚膜下部電極として示されたスタックトキャパシタ部分の断面図である。

【図3】エッチングされた下部電極と下部電極の最大高さが示されている従来技法によるスタックトキャパシタ部分の断面図である。

【図4】下部電極に対して金属製側壁が示されている従来技法によるスタックトキャパシタ部分の断面図である。

【図5】本発明による、スタックトキャパシタに対する誘電層内に形成されたトレンチの断面図である。

【図6】図5に示されているトレンチ内に本発明に従って充填材料が堆積される様子を示した断面図である。

【図7】図6に示されている堆積された充填材料が本発明に従ってトレンチ内で所定の深さだけ後退されている様子を示した断面図である。

【図8】図7に示されているトレンチにおいて本発明に従って側壁上でテーパー状に形成された表面を示した断面図である。

10

*【図9】図8に示されているトレンチにおいて、本発明に従って、下部電極形成のためにトレンチ内とテーパー状表面上に堆積される金属層の様子と、保護誘電材料によって充填されるトレンチを示した断面図である。

【図10】図9に示されているトレンチにおいて、本発明に従って、平坦化された上部表面を有する保護誘電材料の様子を示した断面図である。

【図11】図10に示されているトレンチにおいて、本発明に従って、除去された下部電極部分の様子が示されている断面図である。

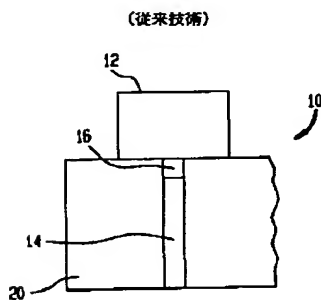
【図12】図11に示されているトレンチにおいて、本発明に従って、高誘電率層が下部電極上に堆積されている様子と、トレンチを充填している上部電極と、高誘電率層上部の様子が示されている断面図である。

【符号の説明】

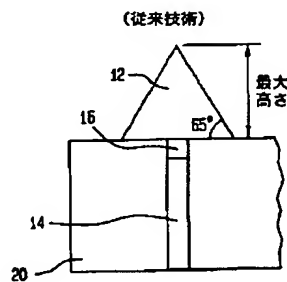
100	スタックトキャパシタ
106	プラグ
108	誘電層
110	拡散バリア
112	誘電層
114	マスク層
116	トレンチ
118	側壁
124	下部電極
126	金属層
128	保護誘電層
136	上部電極

*

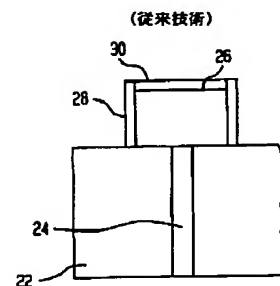
【図2】



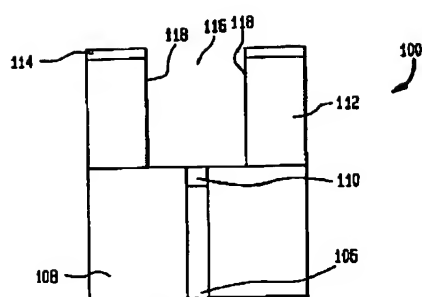
【図3】



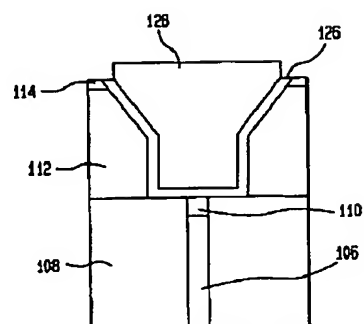
【図4】



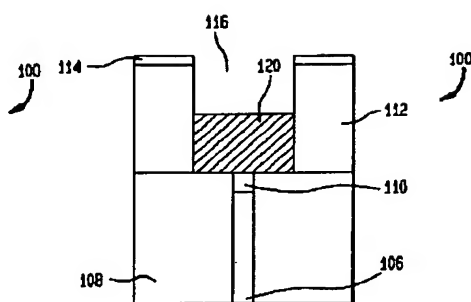
【圖5】



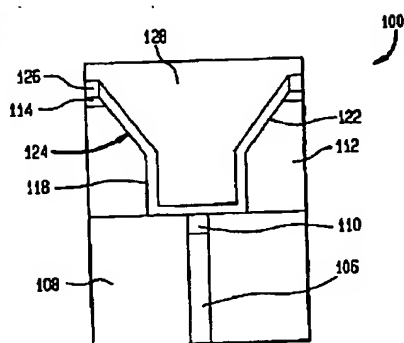
【圖 11】



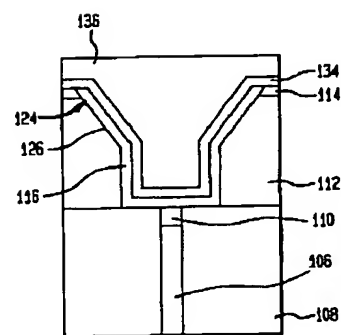
【圖 7】



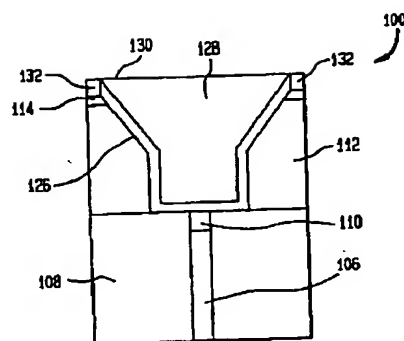
【図9】



【圖 12】



【図10】



フロントページの続き

(71)出願人 594145404

インターナショナル ビジネス マシン
ズ コーポレーション

アメリカ合衆国ニューヨーク州 10504

ニューヨーク アーモンク オールド オ
ーチャード ロード (番地なし)

(72)発明者 ファ シェン

アメリカ合衆国 ニューヨーク ビーゴン
ハドソン ヴュー ドライヴ 1シー

(72)発明者 ヨアヒム ニュッツェル

アメリカ合衆国 ニューヨーク フィッシ
ュキル ロンドン ドライヴ 3ビー 24

(72)発明者 カール ジェイ レイデンス

アメリカ合衆国 ニューヨーク ラグラン
ジュヴィル クチラー ドライヴ 33

(72)発明者 デイヴィッド コテッキー

アメリカ合衆国 ニューヨーク ホープウ
エル ジャンクション シルヴァン レイ
ク ロード 37